

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

03084657      \*\*Image available\*\*

SEMICONDUCTOR DEVICE

PUB. NO.:      **02-060157** [JP 2060157 A]

PUBLISHED:      February 28, 1990 (19900228)

INVENTOR(s):   HOKARI YASUAKI

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:      63-211862 [JP 88211862]

FILED:           August 25, 1988 (19880825)

INTL CLASS:      [5] H01L-027 04; H01L-027 108

JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components)

JOURNAL:          Section: E, Section No. 928, Vol. 14, No. 229, Pg. 115, May  
15, 1990 (19900515)

#### ABSTRACT

**PURPOSE:** To prevent reduction in capacity attributable to such a transition layer as an  $\text{SiO}(\text{sub } x)$  layer by a method wherein a conductive nitrogen compound film is formed on the top surface of a silicon substrate and then an insulating metal oxide film is formed thereon.

**CONSTITUTION:** An insulating film 2 is selectively formed on a silicon substrate 1, and then a high concentration impurity region 3 is formed. Next, a conductive nitrogen compound film 4 is formed by sputtering, to be subjected to selective etching for the retention of some of the film 4 in a specified region. An insulating metal oxide film 5 is formed by sputtering on the film 4, on which oxide film 5 an electrode 6 is formed in a specified region. The result is a structure wherein a capacitor is constituted of the film 4 serving as the lower electrode, the film 5 serving as a dielectric film, and the electrode 6 as the upper electrode. With an insulating metal oxide film being formed after the formation of a conductive nitrogen compound film, such a transition layer as an  $\text{SiO}(\text{sub } x)$  film is not to be formed, which prevents capacity from reduction.

DIALOG(R)File 345:Inpadoc Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

9169025

Basic Patent (No,Kind,Date): JP 2060157 A2 900228 <No. of Patents: 002>

SEMICONDUCTOR DEVICE (English)

Patent Assignee: NIPPON ELECTRIC CO

Author (Inventor): HOKARI YASUAKI

IPC: \*H01L-027 04; H01L-027 108

Derwent WPI Acc No: C 90-110716

JAPIO Reference No: 140229E000115

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
<b>JP 2060157</b>	A2	900228	JP 88211862	A	880825	(BASIC)
JP 95036438	B4	950419	JP 88211862	A	880825	

Priority Data (No,Kind,Date):

JP 88211862 A 880825

⑬ Int. Cl.<sup>9</sup>H 01 L 27/04  
27/108

識別記号

9 0 8

庁内整理番号

C-7514-5F

⑭ 公開 平成2年(1990)2月28日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭63-211862

⑰ 出 願 昭63(1988)8月25日

⑱ 発 明 者 穂 苅 泰 明 東京都港区芝5丁目33番1号 日本電機株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

シリコン又は金属シリサイド層上に、導電性を有する窒素化合物もしくは金属化合物からなる膜と、絶縁性を有する金属酸化膜と、電極とを順次積層して構成した容量を含むことを特徴とする半導体装置。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置に関し、特に容量部の構造が下地電極として、シリコン基板もしくはポリシリコン電極やシリサイド電極を用い、誘電体材料として金属酸化膜を用いて構成されている半導体装置に関する。

〔従来の技術〕

DRAM(ダイナミック・ランダム・アクセス・メモリ)の如く、構成要素として容量を備えた半導体装置に於いては、容量部の面積を極力小さくすることが上記半導体装置の高密度化を進める上で重要である。

容量部の占める面積を小さくするためには、従来の $\text{SiO}_2$ や $\text{Si}_3\text{N}_4$ よりも大きな誘電率を持つ誘電体材料を用いるのが有利であり、このためTa酸化物、Ti酸化物、Zr酸化物、Hf酸化物などからなる金属酸化膜、さらには $\text{BaTiO}_3$ の如き強誘電体材料からなる膜を用いることが試みられている。これら誘電体膜を形成する方法としては、①Ta、Ti、Zr、Hfなどの金属材料をターゲットとしてスパッタ蒸着法により基板表面に金属膜を形成した後にこれを酸化する方法、②スパッタ蒸着を酸素雰囲気中で行い基板上に金属酸化物として堆積する手法、あるいは③CVD法により基板上に金属酸化膜を堆積する方法などが用いられる。

〔発明が解決しようとする課題〕

Ta 酸化物、Ti 酸化物などの絶縁性を有する金属酸化物からなる膜を単結晶シリコン上あるいは多結晶シリコン（ポリシリコン）電極上に形成すると、本来得られるべき高い容量値が低下してしまうという欠点がある。この現象は特に金属酸化物膜の膜厚が薄いほど顕著となる。この原因は金属酸化物膜とシリコン又はポリシリコン電極との間に  $SiO_x$  の如き誘電率の低い遷移層（比誘電率 4 程度）が形成されることによる。即ち、観察される容量値は金属酸化物膜の容量と遷移層の容量との直列接続された値になり、金属酸化物膜の膜厚が薄く当該膜の容量が大きい場合には、観察される容量値は容量の小さな遷移層の容量に大きく支配されるからである。

シリコンと金属酸化物膜との界面に遷移層が形成される理由は、金属酸化物膜が酸素を放出し易い（還元され易い）性質を持ち、シリコンの如き酸化され易い活性な物質に接すると酸素を放出する結果、界面に  $SiO_x$  層が形成されるものである。この遷移層の膜厚は、透過型電子顕微鏡による高

解像度の断面観察によれば、20～35Åと極めて薄い。しかし、例えば比誘電率 25、膜厚 100Å の金属酸化物膜を形成した場合には、観察される容量値は遷移層の無い場合に比べ 45%以下になってしまう。従って、シリコン上に金属酸化物膜を形成した場合には、金属酸化物膜が本来有する誘電率の高い膜としての性質を生かすことは出来ない。

上記した遷移層の問題を改善する 1 つの手段として、酸化され易いシリコンの代わりに活性度のより低い電極材料膜の上に絶縁性を有する金属酸化物膜を設けることが行われている。即ち、シリコン基板上にいったん  $WSi_3$ 、 $MoSi_3$ 、 $TiSi_3$  の如き金属シリサイド膜を設けたのちに絶縁性を有する金属酸化物膜を形成するものである。しかし、金属シリサイドは組成としてシリコンが含まれるため、金属酸化物膜との反応を防止するためには膜形成後のプロセスを 350℃以下の温度におさえる必要がある。このような限定された条件では、半導体装置を作る上で制約が大きく、応用が限定されてしまう欠点を持っていた。

#### 〔課題を解決するための手段〕

本発明の半導体装置は、シリコン基板上もしくはポリシリコン電極や金属シリサイド電極上に、導電性を有する窒素化合物もしくは金属化合物からなる膜を設け、続いて誘電体としての絶縁性を有する金属酸化物膜を設け、次に電極を設けて構成される容量を有している。

絶縁性を有する金属酸化物膜は導電性を有する窒素化合物もしくは金属化合物からなる膜と接しシリコンとの接触がないため、 $SiO_x$  の如き遷移層は形成されない。従って絶縁性を有する金属酸化物膜が本来有する大きな容量窒素を実現することができる。

#### 〔実施例〕

次に、本発明について図面を参照して説明する。

第 1 図は本発明の第 1 の実施例の容量の断面構造を説明する図である。図において、1 はシリコン基板、2 は絶縁膜、3 はシリコン基板 1 の表面に設けられた該基板と逆型の高濃度不純物領域、4 は導電性を有する窒素化合物もしくは金属化合

物の膜、5 は絶縁性を有する金属酸化物膜、6 は電極をそれぞれ示す。当該容量は、導電性を有する窒素化合物もしくは金属化合物の膜 4 を下地電極とし、絶縁性を有する金属酸化物膜 5 を誘電体を用い、電極 6 を上部電極として容量が構成される。本実施例では、導電性を有する窒素化合物もしくは金属化合物の膜 4 はシリコン基板 1 の表面に設けられた高濃度不純物領域 3 に接続されており、従って不純物領域 3 と前記電極 6 との間に電圧を加えることにより当該容量は機能する。

当該容量の形成方法としては、シリコン基板 1 の表面に周知の技術を用いて選択的に前記膜 2 を設け、次に熱拡散もしくはイオン打ち込みの技術を用いて高濃度不純物領域 3 を形成する。次に、 $TiN_x$ 、 $WN_x$  などの導電性を有する窒素化合物膜もしくは  $TiW$ 、 $AuSn$ 、 $AuSnAg$  などの金属化合物膜 4 を、スパッタ蒸着法あるいは化学気相成長法などの手法を用いて形成する。当該導電性を有する金属酸化物膜の好ましい膜厚は 200～1000Å である。次に、周知の技術を

用いて当該膜4を選択的にエッチングし所望の領域に膜を残す。次に、 $Ta_2O_5$ 、 $ZrO_2$ 、 $HfO_2$ あるいは $BaTiO_3$ の如き絶縁性を有する金属酸化膜5を、スパッタ蒸着法あるいは化学気相成長法などの手法を用いて形成する。次に、電極6を所望の領域に形成し、本実施例になる容量が形成される。なお、上記した構造の容量において、高濃度不純物領域3の導電性はシリコン基板1と逆型であっても、あるいは同型であっても良く、その選択は自由である。さらに、当該高濃度不純物領域3を設けずに、直接シリコン基板1に接触せしめても良い。

なお、第1図に示す容量部の構造では、導電性を有する窒素化合物もしくは金属化合物の膜4が高濃度不純物領域3の表面および絶縁膜2の表面の一部に設けられたが、本発明の目的であるシリコン基板との間に遷移層を形成しないという点で第2図に示すように高濃度不純物領域3の表面にのみ導電性を有する窒素化合物もしくは金属化合物の膜4を設けても良いことは言うまでもない。

当該構造の容量は、導電性を有する窒素化合物もしくは金属化合物の膜4と、絶縁性を有する金属酸化膜5と電極61とで構成される。導電性を有する窒素化合物もしくは金属化合物の膜4は高濃度不純物領域32に接しており、当該高濃度不純物領域32に加えられた電圧が導電性を有する金属酸化膜4に加わる。

第5図は本発明の第4の実施例を示す断面図であり、容量を他の構造のDRAMに適用した場合の断面構造を示す。図において、第3図および第4図と同記号は、同一物質もしくは同一機能を有する物質である。

当該構造容量では、導電性を有する窒素化合物もしくは金属化合物の膜4はポリシリコン電極7に、また当該ポリシリコン電極7は高濃度不純物領域32に接しているため、高濃度不純物領域32に加えられた電圧はポリシリコン電極7および導電性を有する窒素化合物もしくは金属化合物の膜4にそのまま印加される。

第6図は本発明の第5の実施例を示す断面図で

第3図は、本発明の第2の実施例の容量の断面構造を説明する図である。図において、第1図と同記号は同一物質もしくは同一機能を有する物質であり、7はポリシリコン電極を示す。

当該構造の容量は、ポリシリコン電極7の表面に設けられた導電性を有する窒素化合物もしくは金属化合物の膜4と、絶縁性を有する金属酸化膜5と、電極6とから容量が構成される。導電性を有する金属酸化膜4はポリシリコン電極7に接触しているため、ポリシリコン電極7に加えられた電圧が導電性を有する金属酸化膜4にそのまま加わる。

第4図は、本発明の第3の実施例を説明するための断面図であり、容量をDRAM（ダイナミック・ランダム・アクセス・メモリー）に適用した場合の断面構造を示す。図において、第1図と同記号は同一物質もしくは同一機能を有する物質であり、21および22は絶縁膜、31および32は高濃度不純物領域、61は電極、62はビット電極、72はワード電極をそれぞれ示す。

あり、他の構造のDRAMに適用した場合の断面構造を示す。図において、第1図および第4図と同記号は同一物質もしくは同一機能を有する物質であり、33はシリコン基板1と同型の高濃度不純物領域、75は埋込電極である。

当該構造容量は、シリコン基板1の表面に溝を形成し、当該溝の側壁および底部壁に容量を形成するものである。溝内壁部の構造は、高濃度不純物領域33が形成されたシリコン基板の表面に導電性を有する窒素化合物もしくは金属化合物の膜4が設けられ、次に絶縁性を有する金属酸化膜5が設けられ、次に溝内をうめこむ埋込電極75が設けられ、容量を構成している。

#### 〔発明の効果〕

以上説明したように本発明は、酸素に対して活性なシリコン基板やポリシリコン電極やシリサイド電極の表面にいったん導電性を有する窒素化合物もしくは金属化合物の膜を設けた後に絶縁性を有する金属酸化膜を設けるため、 $SiO_x$ の如き遷移層の形成による容量の低下が防止できる効果

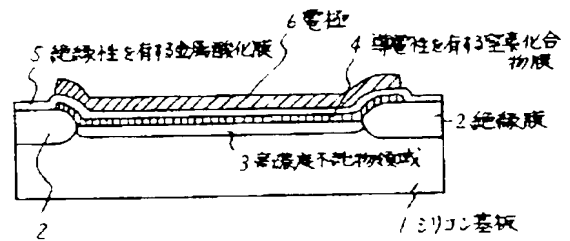
がある。また、本発明になる容量は、誘電体としての金属酸化膜および導電性を有する窒素化合物もしくは金属化合物とも耐熱性にも優れており、600℃でも電気特性に変化は見られなかった。

#### 4. 図面の簡単な説明

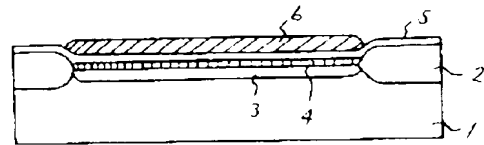
第1図および第2図は本発明の第1の実施例を説明するための断面図、第3図は本発明の第2の実施例を説明するための断面図、第4図は本発明の第3の実施例を説明するための断面図、第5図は本発明の第4の実施例を説明するための断面図、第6図は本発明の第5の実施例を説明するための断面図である。

1……シリコン基板、2……絶縁膜、3……高濃度不純物領域、4……導電性を有する窒素化合物もしくは金属化合物膜、5……絶縁性を有する金属酸化膜、6……電極、7……ポリシリコン電極、75……埋込電極。

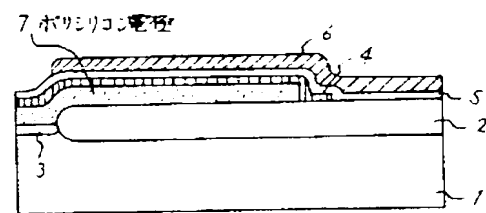
代理人 弁理士 内 原 晋



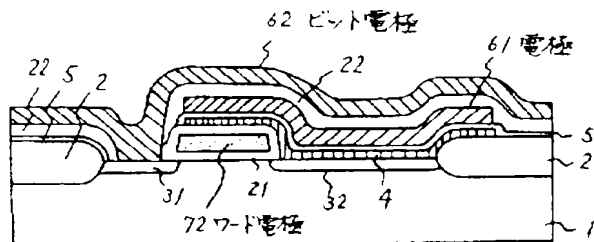
第1図



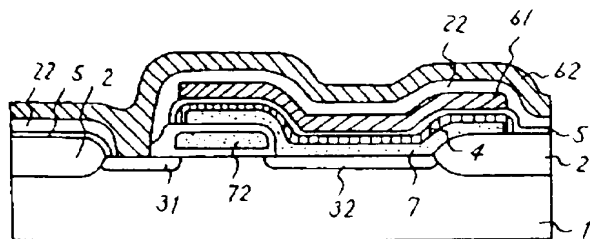
第2図



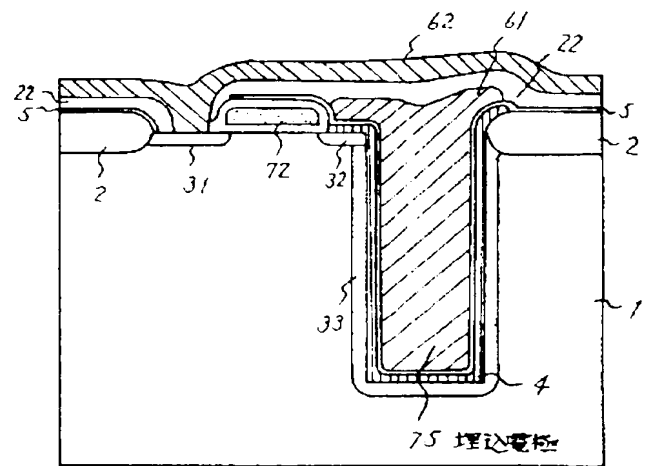
第3図



第4図



第5図



第6図